

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232883
(43)Date of publication of application : 05.09.1997

(51)Int.CI. H03F 3/45
H03F 3/34

(21)Application number : 08-036190 (71)Applicant : OKI MICRO DESIGN MIYAZAKI:KK
OKI ELECTRIC IND CO LTD

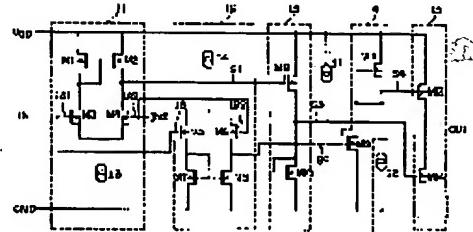
(22)Date of filing : 23.02.1996 (72)Inventor : YAMADA TOSHIMI
OTAKE HISAO

(54) OPERATIONAL AMPLIFIER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To drive a heavy load by providing two differential amplifier circuits, one or two level shift circuits, one or two current sources and an output circuit.

SOLUTION: The circuit is made up of a 1st differential amplifier circuit I1 having input terminals IA1, IA2, a 2nd differential amplifier circuit I2 having input terminals IB1, IB2, a 1st level shift circuit 13, a 2nd level shift circuit 14, a 1st current source I1, a 2nd current source I2 and an output circuit 15. When the two differential amplifier circuits 11, 12 are in operation, transistors(TRs) M13, M14 of the output circuit 15 are operated respectively independently. Furthermore, the 1st level shift circuit 13 and the 1st current source I1 limit a fluctuation in a voltage applied to a gate of the TR M14 within a prescribed range and the 2nd level shift circuit 14 and the 2nd current source I2 limit a fluctuation in a voltage applied to a gate of the TR M13 within a prescribed range.



LEGAL STATUS

[Date of request for examination] 27.08.2001

[Date of sending the examiner's decision of rejection] 04.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232883

(13) 公開日 平成9年(1997)9月5日

(60) Int.Cl.
H 03 F 3/45
3/34

登録記号 庁内登録番号

F 1
H 03 F 3/45
3/34

技術表示箇所
B
Z

審査請求 未請求 汎求項の数 3 OL (全 6 頁)

(21) 出願番号 特願平8-36190

(22) 出願日 平成8年(1996)2月23日

(71) 出願人 59104983
株式会社神マイクロデザイン宮崎
宮崎県宮崎市大和町9番2号

(71) 出願人 000000295
神電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 山田 敏己
宮崎県宮崎市大和町9番2号 株式会社神
マイクロデザイン宮崎内

(72) 発明者 大竹 久雄
東京都港区虎ノ門1丁目7番12号 神電気
工業株式会社内

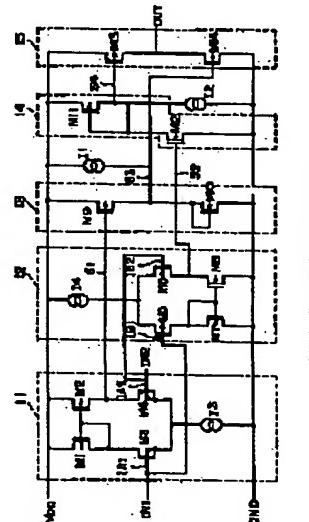
(74) 代理人 弁理士 神本 敏明

(54) 【発明の名称】 演算増幅回路

(57) 【要約】

【課題】 高負荷駆動でき、消費電力が小さく、チップ面積が小さい演算増幅回路を提供する。

【解決手段】 2つの差動増幅回路と、1つ又は2つのレベルシフト回路と、1つ又は2つの電流源と、出力回路とを設けて実現する。



【特許請求の範囲】

【請求項 1】 第1の入力端子と第2の入力端子をそれぞれ有する第1の差動増幅回路及び第2の差動増幅回路と、第1及び第2のレベルシフト回路と、第1及び第2の電流源と、第1及び第2のトランジスタで成る出力回路とを設け、

前記第1の差動増幅回路の第1の入力端子と前記第2の差動増幅回路の第1の入力端子とが接続され、前記第1の差動増幅回路の第2の入力端子と前記第2の差動増幅回路の第2の入力端子とが接続され、前記第1の差動増幅回路の出力が前記第1のレベルシフト回路の入力に接続され、前記第1のレベルシフト回路の出力が前記第1の電流源及び前記第1のトランジスタのゲートに接続され、前記第2の差動増幅回路の出力が前記第2の電流源及び前記第2のトランジスタのゲートに接続され、前記第2のレベルシフト回路の出力が前記第2の電流源及び前記第2のトランジスタのゲートに接続され、前記第2のトランジスタで成る出力回路とを設け、

【請求項 2】 第1の入力端子と第2の入力端子をそれぞれ有する第1の差動増幅回路及び第2の差動増幅回路と、レベルシフト回路と、電流源と、第1及び第2のトランジスタで成る出力回路とを設け、

前記第1の差動増幅回路の第1の入力端子と前記第2の差動増幅回路の第1の入力端子とが接続され、前記第1の差動増幅回路の第2の入力端子と前記第2の差動増幅回路の第2の入力端子とが接続され、前記第1の差動増幅回路の出力が前記レベルシフト回路の入力に接続され、前記レベルシフト回路の出力が前記電流源及び前記出力回路の第1のトランジスタのゲートに接続され、前記第2の差動増幅回路の出力が前記出力回路の第2のトランジスタのゲートに接続されたことを特徴とする演算増幅回路。

【請求項 3】 前記出力回路の前段に演算増幅回路の動作を停止するためのパワーダウン回路を設けたことを特徴とする請求項1又は2記載の演算増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は高負荷を駆動できる演算増幅回路に関するものである。

【0002】

【従来の技術】 従来、高負荷を駆動する演算増幅回路を構成するにはブッシュブル型増幅回路を用いていたが差動段がアンバランスになると出力波形にクロスオーバ歪を生じる問題があった。このクロスオーバ歪は音声を対象とする場合、耳障りになる。

【0003】 図3は特開平4-310006号公報に記載された従来の演算増幅回路を示したもので、ブッシュブル型増幅回路に抵抗R×を加えることによりトランジスタTr13、Tr14のどちらか一方がオフしかけても常に電流を流すことによりクロスオーバ歪みを解消し

ている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記構成の回路は低電圧で高負荷を駆動する条件では、電流はかなり大きくしなければならず、また抵抗R×は高抵抗にする必要がある。従って、消費電力の増大及びチップ面積の拡大を招くことになるという問題点があった。

【0005】

【課題を解決するための手段】 上記課題を解決するため、2つの差動増幅回路と、1つ又は2つのレベルシフト回路と、1つ又は2つの電流源と、出力回路とを設けて、高負荷駆動を可能にし、また、抵抗を使用せず、必要によりパワーダウン回路を設けることにより、チップ面積の縮小及び消費電力の低減を計っている。

【0006】

【発明の実施の形態】 図1は本発明の第1の実施形態を示す回路図である。この演算増幅回路は入力端子IA1とIA2を持つ第1の差動増幅回路11と入力端子IB1とIB2を持つ第2の差動増幅回路12と第1のレベルシフト回路13と第2のレベルシフト回路14と第1の電流源I1と第2電流源I2と出力回路15で構成される。

【0007】 第1の差動増幅回路11はトランジスタM1～M4で構成され、バイアス用電流源I3を有している。第2の差動増幅回路12はトランジスタM5～M8で構成され、バイアス用電流源I4を有している。第1のレベルシフト回路13はトランジスタM9とM10で、第2のレベルシフト回路14はトランジスタM11とM12で構成されている。出力回路15はトランジスタM13とM14で構成されている。

【0008】 演算増幅回路全体の第1の入力IN1には第1の差動増幅回路11の入力端子IA1と第2の差動増幅回路12の入力端子IB1が接続される。また、演算増幅回路全体の第2の入力IN2には第1の差動増幅回路11の入力端子IA2と第2の差動増幅回路12の入力端子IB2が接続される。

【0009】 第1の差動増幅回路11の出力S1が第1のレベルシフト回路13のトランジスタM9のゲートに接続され、第2の差動増幅回路の出力S2が第2のレベルシフト回路のトランジスタM12のゲートに接続される。第1のレベルシフト回路13の出力S3が出力回路15の一方のトランジスタM14のゲートに接続され、第2のレベルシフト回路14の出力S4が出力回路15の他方のトランジスタM13のゲートに接続される。第1の電流源I1は出力S3に接続され、第2の電流源I2は出力S4に接続される。

【0010】 尚、出力回路15の出力端子OUTと第2の差動増幅回路12の出力S2間、又は出力回路15の出力端子OUTと第1の差動増幅回路11の出力S1間に後記する位相補償回路を設けても、また出力回路15

の前段、即ちトランジスタM13のゲートと電源電圧VDD間に接続するトランジスタM14のゲートと接地GND間に後記するパワーダウン回路を設けてても良い。

【0011】第1の実施形態の演算増幅回路は出力回路15が2つのトランジスタを使用したインバータではなく、トランジスタM13及びM14のゲートをそれぞれ単独に駆動するソース接地回路であり、第1の差動増幅回路11の出力S1を第1のレベルシフト回路13に供給し、その出力S3を出力回路15のトランジスタM14のゲートに供給し、また第2の差動増幅回路12の出力S2を第2のレベルシフト回路14に供給し、その出力S4を出力回路のトランジスタM13のゲートに供給する構成をとるため、広い入力電圧範囲において出力回路15での高負荷駆動が得られる。

【0012】また出力回路15のトランジスタM13及びM14のゲートには電流源I1及びI2が接続されているため、第1のレベルシフト回路13のトランジスタM9及び第2のレベルシフト回路14のトランジスタM12が共にオフ状態となつても、出力回路15のトランジスタM13及びM14にはしきい値以上の最低オン電圧が供給され、クロスオーバー歪みの発生が抑制される。

【0013】以上のように第1の実施形態によれば、2つの差動増幅回路11、12が動作している時は出力回路15のトランジスタM13、M14をそれぞれ独立して動作させるため、入力範囲が小さい条件では高い線形で動作し、高負荷駆動が可能になる。

【0014】また第1のレベルシフト回路13および第1の電流源I1が、トランジスタM14のゲートにかかる電圧変動を一定範囲に制限し、第2のレベルシフト回路14及び第2の電流源I2が、トランジスタM13のゲートにかかる電圧変動を一定範囲に制限するため、クロスオーバー歪みを発生させずに正常な動作ができる。すなわち回路の供給電源電圧が小さい条件において、レベルシフト回路13、14のどちらか一方が動作できない場合、2つの電流源I1及びI2により不動作のレベルシフト回路の出力を出力回路15のトランジスタM13、M14のオンする電圧に固定するため、正常な動作ができる。

【0015】また、プロセス変動等により2つの差動増幅回路11、12がアンバランスになり、2つの差動増幅回路11、12の一方が動作しなくなつた場合にも2つの電流源I1及びI2により不動作のレベルシフト回路の出力を出力回路15のトランジスタM13、M14のオンする電圧に固定するため、正常な動作ができる。しかも、図1の回路では抵抗を使用していないため、チップ面積を小さく構成することができる。

【0016】図2は本発明の第2の実施形態を示す回路図である。この演算増幅回路は入力端子IC1とIC2を持つ第1の差動増幅回路21と入力端子ID1とID

2を持つ第2の差動増幅回路22とレベルシフト回路23と電流源I5と第1の位相補償回路25と第2の位相補償回路26とトランジスタM21、M22から成るパワーダウン回路と出力回路24で構成される。

【0017】第1の差動増幅回路21は図1の差動増幅回路と同様で、第2の差動増幅回路22は第1の差動増幅回路21と同様の構成としている。従って、差動増幅回路22内において、差動増幅回路21内の構成と同一のものには、符号I_gを付与して示している。レベルシフト回路23は図1の第1のレベルシフト回路13と同様に、また出力回路24も図1の出力回路15と同様に構成されている。電流源I5は図1の第1の電流源I1と同様であるが、この例では電流源としては1つしか設けていない。尚、差動増幅回路21、22内のバイアス用電流源I3、I3'は区別している。

【0018】位相補償回路25、26は演算増幅回路が発振することを防止するために設けたもので、第1の位相補償回路25はトランジスタM18～M20及び容量C1から構成され、第2の位相補償回路26はトランジスタM15～M17及び容量C2から構成されている。パワーダウン回路はトランジスタM21、M22で構成され、通常はトランジスタM21、M22はオフであるが、演算増幅回路を例えば通信用に使用した場合、スタンバイモード即ち通信用のデータがない時に外部の回路から信号PDN、PDをゲートに入力してトランジスタM21、M22をオンさせ、演算増幅回路の動作を停止させて消費電力を低減させている。上記の位相補償回路、パワーダウン回路は必要に応じて付加すれば良い。

【0019】演算増幅回路全体の第1の入力IN1には第1の差動増幅回路21の入力端子IC1と第2の差動増幅回路22の入力端子ID2が接続される。また、演算増幅回路全体の第2の入力IN2には第1の差動増幅回路21の入力端子IC2と第2の差動増幅回路22の入力端子ID1が接続される。

【0020】第1の差動増幅回路21の出力T1がレベルシフト回路23のトランジスタM9のゲートに接続され、第2の差動増幅回路22の出力T2が出力回路24の一方のトランジスタM13のゲートに接続され、レベルシフト回路23の出力T3が他方のトランジスタM14のゲートに接続され、電流源I5が出力T3に接続される。

【0021】出力回路24の出力端子OUTと第2の差動増幅回路22の出力T2間に第1の位相補償回路25を接続し、出力回路24の出力端子OUTと第1の差動増幅回路21の出力T1間に第2の位相補償回路26を接続し、また出力回路24のトランジスタM13のゲートと電源電圧VDD間にパワーダウン回路のトランジスタM21を接続し、トランジスタM14のゲートと接地GND間にパワーダウン回路のトランジスタM22を接続している。

【0022】第2の実施形態の流算増幅回路においては、第2の差動増幅回路22の構成を第1の差動増幅回路21と同様にし、第1の差動増幅回路21の出力T1をレベルシフト回路23に供給し、その出力T3を出力回路24のトランジスタM14のゲートに接続し、第2の差動増幅回路22の出力T2を出力回路24のトランジスタM13のゲートに接続し、トランジスタM13、M14をそれぞれ独立に駆動する。

【0023】トランジスタM14のゲートには電源源15が接続されており、電源電圧が低電圧の条件でレベルシフト回路23が動作しなくなってしまい一定の電圧を出力回路24のトランジスタM14のゲートに供給する役割をしている。

【0024】第1及び第2の位相補償回路、パワーダウン回路は無くても流算増幅回路として動作することは勿論である。

【0025】以上のように第2の実施形態によれば、第1の実施形態と同様に2つの差動増幅回路21、22が動作している時は出力回路24のトランジスタM13、M14をそれぞれ独立して動作させるため、入力振幅が小さい条件では高い線形で動作する。また、出力回路24のトランジスタM13のゲートを第1の差動増幅回路21で直接駆動しているため、第1の実施形態に比べてより強くオン、オフし、第1の実施形態より高負荷駆動

が可能となる。

【0026】また電源源が1つ少なくなったため消費電力は更に低減できる。第1及び第2の差動増幅回路が同じ構成であり、レベルシフト回路と電源源が1つずつ削減されたため、第1の実施形態に比べチップ面積は更に小さく構成することができる。

【0027】

【発明の効果】上記したように、本発明は高負荷駆動が可能で、クロスオーバキミを発生させずに正常な動作ができる、チップ面積を小さくし、低消費電力であるという効果を有し、低電圧で高負荷を駆動できる特徴を有かして、携帯電話等のアナログ回路に好適である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路図

【図2】本発明の第2の実施形態を示す回路図

【図3】従来の流算増幅回路図

【符号の説明】

11, 21 第1の差動増幅回路

12, 22 第2の差動増幅回路

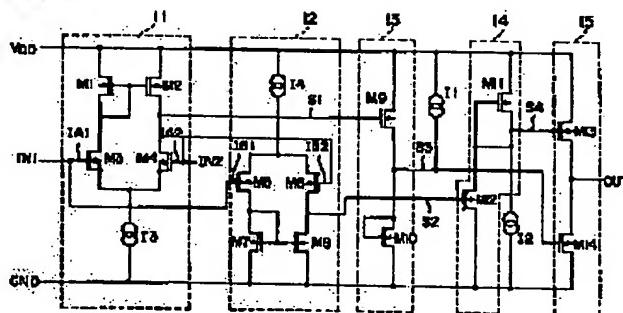
13, 14, 23 レベルシフト回路

15, 24 出力回路

11, 12, 15 電源源

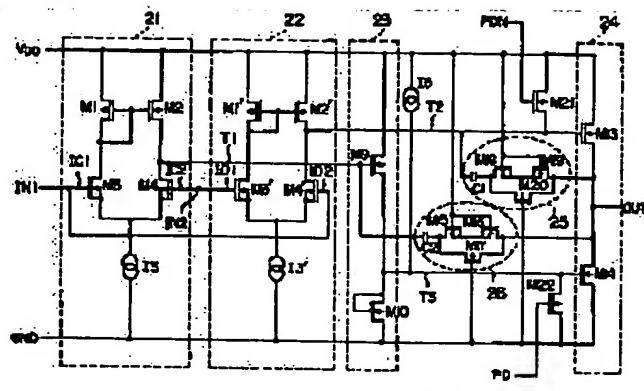
M1～M22 トランジスタ

【図1】



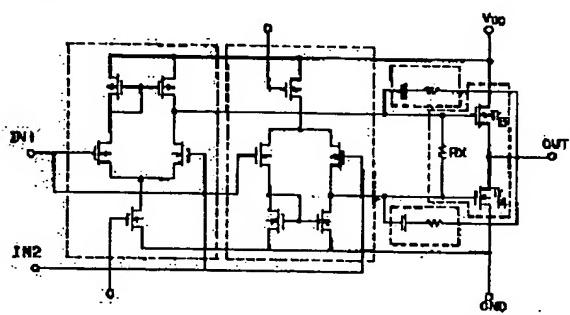
本発明の第1の実施形態を示す回路図

[图2]



本图是图2的详细接线图

[图3]



本图是图2的简化图